

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-181946

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 10-357244

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 16.12.1998

(72)Inventor : IWANISHI NOBUFUSA

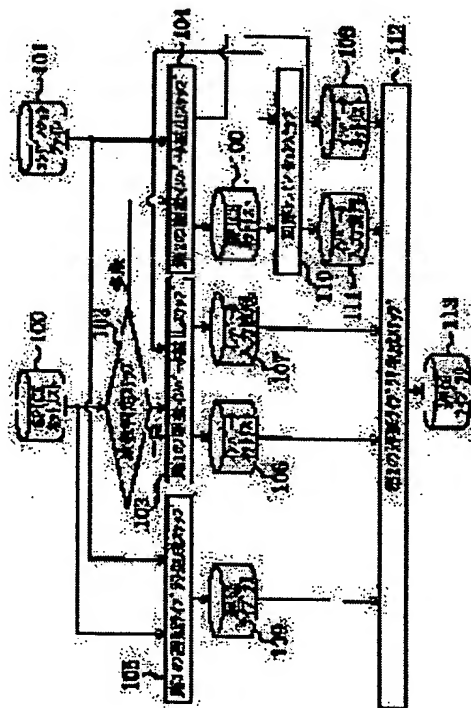
(54) CHARACTERIZATION METHOD FOR DRIVING CAPACITY PARAMETER FOR CELL OUTPUT WAVEFORM GENERATION, EXPRESSION METHOD THEREFOR AND CELL OUTPUT WAVEFORM GENERATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To highly precisely generate a cell output waveform which taking the influence of the cell input waveform of a dull shape and the influence of the resistance component of a load into consideration.

SOLUTION: The driving capacity of all CMOS type cells is expressed by an inverter cell in steps 103 and 104. At this time, the driving capacity is expressed by the inverter cell where the one other than an operated transistor is replaced with a resistor in a one-stage transistor structure cell, and the inverter cell is expressed by an NMOS transistor and a PMOS transistor operated in a final stage in a multi-stage transistor structure cell. The expressed inverter cells are preserved as net lists 106 and 108. Also, as the input waveform of the inverter cell, the cell input waveform is used in the one-stage transistor structure cell and an input waveform calculated for the cell input waveform in a circuit simulation step 110 is used in the multi-stage transistor structure cell. Thus, the

characterization method for waveform propagation between cell input and output is provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181946

(P2000-181946A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.

識別記号

F I

テーマト(参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 6 8 P 5 B 0 4 6

H 0 1 L 21/82

6 6 2 G 5 F 0 6 4

6 6 8 Q

H 0 1 L 21/82

C

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号

特願平10-357244

(22) 出願日

平成10年12月16日 (1998. 12. 16)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岩西 信房

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

Fターム(参考) 5B046 AA08 BA03 DA05 JA03 JA05

KA06

5F064 BB07 CC12 CC22 EE47 HH06

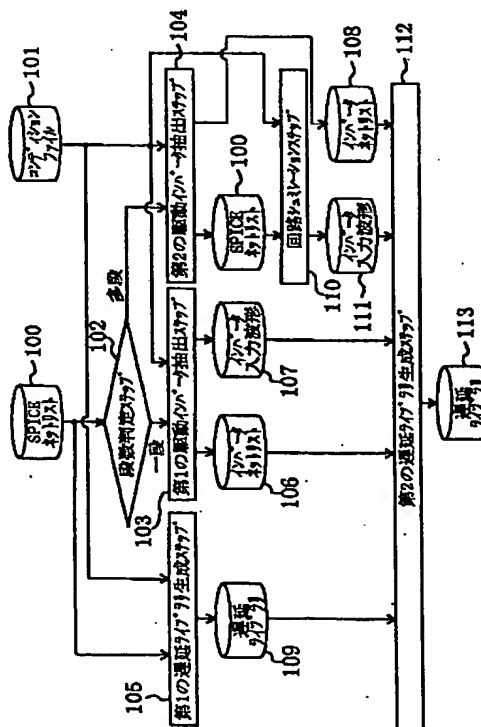
HH09 HH12

(54) 【発明の名称】 セル出力波形生成用駆動能力パラメータのキャラクタライズ方法及びその表現方法、並びにセル出力波形生成方法

(57) 【要約】

【課題】 鈍った形のセル入力波形の影響及び負荷の抵抗成分の影響を考慮に入れて、セル出力波形を高精度に生成する。

【解決手段】 ステップ103、104で全てのCMOS型セルの駆動能力をインバータセルで表現する。この際、一段トランジスタ構造セルでは、動作するトランジスタ以外を抵抗に置き換えたインバータセルで表現し、多段トランジスタ構造セルでは、最後段で動作するNMOSTランジスタ及びPMOSTランジスタでインバータセルを表現する。表現されたインバータセルは、ネットリスト106、108として保存される。また、前記インバータセルの入力波形として、一段トランジスタ構造セルではそのセル入力波形を用い、多段トランジスタ構造セルでは、回路シミュレーションステップ110でセル入力波形に対して計算した入力波形を用いる。従って、セル入出力間での波形伝播のキャラクタライズ方法が提供される。



【特許請求の範囲】

【請求項1】 基本論理セル又は機能マクロブロックの遅延パラメータを格納した論理ライブラリを用いたタイミングシミュレーションにおいて、セルの出力波形生成用の駆動能力パラメータをキャラクタライズする方法であって、

任意の大きさのセル入力波形及びセル出力負荷容量に対するCMOS型セルの駆動能力をインバータで表現すると共に、

前記インバータの入力波形を作成することを特徴とするセル出力波形生成用駆動能力パラメータのキャラクタライズ方法。

【請求項2】 CMOS型セルの駆動能力をインバータで表現するに先立ち、

前記セル入力波形に対して、セルの全ての入出力端子間で動作するトランジスタが一段である一段トランジスタ構造セルと、少なくとも二段以上のトランジスタが動作する多段トランジスタ構造セルとに分類することを特徴とする請求項1記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法。

【請求項3】 前記一段トランジスタ構造セルに対しては、

前記セルのトランジスタレベルのネットリストから、動作するトランジスタ以外を抵抗に置き換えたインバータセルで表現すると共に、

前記セル入力波形を前記インバータセル入力波形とすることを特徴とする請求項2記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法。

【請求項4】 前記一段トランジスタ構造セルに対しては、

前記セルのトランジスタレベルのネットリストから、動作するトランジスタ以外をアドミッタンスに置き換えたインバータセルで表現すると共に、

前記セル入力波形を前記インバータセル入力波形とすることを特徴とする請求項2記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法。

【請求項5】 前記多段トランジスタ構造セルに対しては、

前記セル入力波形に対して、前記多段トランジスタ構造セル内の最後に動作するNMOSトランジスタ及びPMOSトランジスタで構成されるインバータセルで表現すると共に、

前記インバータセルの入力波形を、回路シミュレーションにより前記セル入力波形に対して計算することを特徴とする請求項2記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法。

【請求項6】 基本論理セル又は機能マクロブロックの遅延パラメータを格納した論理ライブラリを用いたタイミングシミュレーションにおいて、任意の大きさのセル入力波形及びセル出力負荷容量に対するセルの遅延パラ

メータの表現方法であって、

遅延パラメータとして、前記セル入力波形、前記出力負荷容量、前記セルの遅延値、前記セルの駆動能力をインバータで表した駆動インバータの接続関係、及び前記駆動インバータの入力波形を持つことを特徴とするセル遅延パラメータの表現方法。

【請求項7】 基本論理セル又は機能マクロブロックの遅延パラメータを格納した論理ライブラリを用いたタイミングシミュレーションにおいて、セルの出力端子における波形を生成するセル出力波形生成方法であって、セル接続情報及び遅延ライブラリを入力して、前記セルの駆動能力をインバータで表した駆動インバータモデルを生成する駆動インバータモデル生成ステップと、前記遅延ライブラリ、及び前記セルの入力波形を格納した遅延計算情報を入力して、前記駆動インバータモデルを構成する各トランジスタの前記セルの入力波形に対する動作比率を時間の関数として計算する動作比率計算ステップと、

前記駆動インバータモデル、前記トランジスタ動作比率、及び前記セル接続情報から、前記セル出力端子における波形を生成するセル出力波形生成ステップとを有することを特徴とするセル出力波形生成方法。

【請求項8】 前記駆動インバータモデル生成ステップは、

駆動インバータを構成するトランジスタを表現する抵抗と、定電流源とを用いて、前記駆動インバータモデルを表現することを特徴とする請求項7記載のセル出力波形生成方法。

【発明の詳細な説明】

30 【0001】

【発明の属する技術分野】本発明は、タイミングシミュレーションで用いる論理ライブラリ作成のためのセル遅延パラメータのキャラクタライズ方法の改良、及び、前記セル遅延パラメータを登録した論理ライブラリを用いたタイミングシミュレーション方法に関する。

【0002】

【従来の技術】従来例を図7 (a)、(b)及び図8 (a)、8 (b)を用いて説明する。

【0003】図7 (a)はセル遅延時間、セル出力波形のキャラクタライズ方法を表す図、同図 (b)は、セル遅延時間及びセル出力波形の表現方法を表す図、図8 (a)はセルの駆動能力をモデル化した図、同図 (b)は駆動モデルを用いたセル出力波形の計算方法を表す図である。

【0004】図7 (a)及び(b)において、700はセル、701は入力波形、702は出力負荷容量、703はセル出力波形、704はセル遅延時間、705はセル出力波形703を直線近似した出力波形、706は、入力信号波形傾き及び負荷容量に対するセル遅延時間及びセル出力波形のテーブルである。

50 【0005】図8 (a)及び(b)において、800はNMOS型ト

ランジスタ、801はnmos型トランジスタ800のゲート端子、802は出力ノード、803は入力波形、804はnmos型トランジスタ800が駆動するネットワークである。

【0006】セル遅延時間をキャラクタライズする際、先ず最初にセル700の入力端子Aに与えられた入力波形701と出力端子Yに接続された負荷容量702とに対して、SPICE等の回路シミュレータを用いて回路シミュレーションを実行し、セル出力波形703を計算する。次に、入力波形701及びセル出力波形703から、予め定められたセル700のスレッシュホールド電圧を用いて、セル遅延時間704を計算する。また、セル出力波形703は、直線近似され、セル出力波形705として計算される。前記直線近似を行なう方法としては、例えば、セル出力波形703上の電源電圧に対して20%、70%のポイントを抽出し、前記ポイントを直線で接続することにより、直線近似する方法が用いられる。

【0007】以上のようにして計算された入力波形701及び負荷容量702に対するセル遅延時間704及びセル出力波形705は、テーブル706を用いて表現される。テーブル706を用いたセル遅延時間及びセル出力波形の計算方法は、入力波形と負荷容量とに対して、その各値がテーブルに共に記載されている場合は、前記値に対応するセル遅延時間とセル出力波形を求める。一方、前記各値がテーブルに記載されていない場合は、前記各値に最も近い2つの値を用いて補間することにより、セル遅延時間及びセル出力波形を計算していた。尚、セル遅延時間704とセル出力波形705とを、入力波形701と負荷容量702との関数として表すこともある。

【0008】以上説明した従来の方法では、セル入出力端子間の波形伝播の影響を考慮にいれたセル出力波形を計算することが可能であるが、前記セルが抵抗成分を含む負荷を駆動する場合を想定していないため、負荷に抵抗成分が含まれる場合に誤差が生じる。

【0009】前述したセル出力波形計算とは異なり、負荷に抵抗成分を含む場合に対応した従来のセル出力波形計算方法について説明する。この方法として、従来、セルの駆動能力を、セル出力波形が立下る場合はnmos型トランジスタを用い、立上る場合はpmos型トランジスタを用いてモデル化する方法があった。セル出力波形が立下る場合について、図8を用いて説明する。nmos型トランジスタ800のゲート端子801に時刻 $t=0$ で立上るステップ波形803が入力された時の出力ノード802での波形を前記セルのセル出力波形とする。また、前記セルがネットワーク804を駆動する場合には、出力ノード802にネットワーク804を接続して、回路方程式を解くことにより、ノード802での波形を計算し、前記セルの出力波形を計算する。

【0010】

【発明が解決しようとする課題】しかしながら、セルの出力波形を入力波形と負荷容量のテーブル又は関数で表

す方法では、前述したように、前記セルが駆動する負荷を容量だけで表しているために、前記セルが駆動する配線の抵抗成分が前記セルに与える影響を考慮することができない。

【0011】一方、セルの駆動能力をnmos型又はpmos型のトランジスタで表現する方法では、駆動する負荷の抵抗成分を考慮することは可能であるが、前記トランジスタのゲート端子への入力波形がステップ波形であるために、前記セルの入力波形が鈍っていた場合に、前記セルの出力波形に与える影響について考慮することができない。

【0012】

【課題を解決するための手段】本発明では、全てのcmos型セルの駆動能力をインバータセルで表現すると共に、このインバータセルの入力波形を作成し、これ等を用いてセル遅延パラメータをキャラクタライズする。

【0013】即ち、請求項1記載の発明のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法は、基本論理セル又は機能マクロブロックの遅延パラメータを格納した論理ライブラリを用いたタイミングシミュレーションにおいて、セルの出力波形生成用の駆動能力パラメータをキャラクタライズする方法であって、任意の大きさのセル入力波形及びセル出力負荷容量に対するcmos型セルの駆動能力をインバータで表現すると共に、前記インバータの入力波形を作成することを特徴とする。

【0014】また、請求項2記載の発明は、前記請求項1記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法において、cmos型セルの駆動能力をインバータで表現するに先立ち、前記セル入力波形に対して、セルの全ての入出力端子間で動作するトランジスタが一段である一段トランジスタ構造セルと、少なくとも二段以上のトランジスタが動作する多段トランジスタ構造セルとに分類することを特徴とする。

【0015】更に、請求項3記載の発明は、前記請求項2記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法において、前記一段トランジスタ構造セルに対しては、前記セルのトランジスタレベルのネットリストから、動作するトランジスタ以外を抵抗に置き換えたインバータセルで表現すると共に、前記セル入力波形を前記インバータセル入力波形とすることを特徴とする。

【0016】加えて、請求項4記載の発明は、前記請求項2記載のセル出力波形生成用駆動能力パラメータのキャラクタライズ方法において、前記一段トランジスタ構造セルに対しては、前記セルのトランジスタレベルのネットリストから、動作するトランジスタ以外をアドミッタンスに置き換えたインバータセルで表現すると共に、前記セル入力波形を前記インバータセル入力波形とすることを特徴とする。

【0017】また、請求項5記載の発明は、前記請求項

【0027】また、図2において、200はNANDセル、201はNANDセル入力端子Aに波形が入力された場合のNANDセルの駆動インバータ、202はNANDセル入力端子Bに波形が入力された場合のNANDセルの駆動インバータ、203はトランジスタNBのトランジスタサイズから計算された抵抗、204はトランジスタNAのトランジスタサイズから計算された抵抗である。

【0028】更に、図3において、300はANDセル、301はANDセルの内部ノード、302はANDセル入力端子Aに波形が入力された場合のANDセルの駆動インバータ、203はANDセル入力端子Bに波形が入力された場合のANDセルの駆動インバータである。

【0029】最初に、図1に示した第1の遅延ライブラリ生成ステップ105について説明する。

【0030】第1の遅延ライブラリ生成ステップ105は、既述した従来の遅延ライブラリ生成方法であって、セルのトランジスタレベルのネットリスト、入力波形、負荷容量等の情報を格納したコンディションファイル101を入力として、回路シミュレーションを行ない、前記セルの遅延ライブラリ109を生成する。

【0031】次に、図1のセルの段数判定ステップ102について説明する。

【0032】セルの分類は、以下に示す定義1により実行する。

【0033】(定義1)セル内トランジスタのゲートが配線を介して電源に接続される、接地される、又は前記セルの入力端子に接続される、の何れかを、前記セル内の全てのトランジスタが満たすセルを、一段トランジスタ構造セルとする。

【0034】例えば、NANDセル、NORセル、インバータセル等が一段トランジスタ構造セルに相当する。

【0035】また、上記定義以外のセル、即ち、セル内トランジスタのゲートに、その他のトランジスタのソース又はドレインが接続されている関係を有するセルを多段トランジスタ構造セルとする。例えば、ANDセル、ORセル、フリップフロップセル等が多段トランジスタ構造セルに相当する。

【0036】ここで、セルを一段トランジスタ構造セルと多段トランジスタ構造セルに分割する意味について説明する。一段トランジスタ構造セルの場合、前記セル入力波形により動作するトランジスタは一段である。つまり、セルに入力される入力波形がそのまま前記トランジスタの入力となり、前記トランジスタの動作による出力波形がそのまま前記セルの出力波形となる。

【0037】一方、多段トランジスタ構造セルの場合には、前記セル入力波形が入力されたトランジスタの出力波形が、更に別のトランジスタのゲート端子に入力されることが繰り返し行われて、セル出力波形が生成されるために、前記セル入力波形の影響が前記セル出力波形に及ぼす影響が小さい。そこで、多段トランジスタ構造セ

ル場合には、前記セル出力波形に直接的な影響を及ぼす最終段のトランジスタのゲート端子に入力される波形を前記セル入力波形に対して回路シミュレータで計算することにより、前記セル入力波形に対する前記セル出力波形を計算する必要がある。

【0038】次に、図1の第1の駆動インバータ抽出ステップ103について、二入力NANDセル200を用いて説明する。

【0039】まず、駆動インバータの定義を定義2に示す。

【0040】(定義2)CMOS型セルに信号が入力された時に、最後に動作するトランジスタ(セル出力波形が立上る場合はPMOS型トランジスタが、セル出力波形が立下がる場合はNMOS型トランジスタが、各々最後に動作するトランジスタである)の組み合わせを、駆動インバータとする。

【0041】ここで、二入力NANDセル200を構成するトランジスタNA、NB、PA、PBのゲートは、全て、入力端子に接続されているので、一段トランジスタ構造セルである。

【0042】まず、二入力NANDセル200の入力端子Aに入力波形が与えられ、出力端子Yが応答する場合、つまり、入力端子Bが電源に接続されている場合について考える。

【0043】入力端子Bが電源に接続されるので、トランジスタNBは常に電流が流れている状態、トランジスタPBは常に電流が流れていない状態である。この時、トランジスタNBは配線として扱うことが可能となり、トランジスタNBのサイズから計算した抵抗203に置き換えることが可能となる。また、トランジスタPBは電流が流れていない状態、つまり極めて大きな抵抗と見なすことができ、回路としては無視することが可能である。以上のことから、二入力NANDセル200は、動作しないトランジスタを抵抗に置き換えることで、インバータ201で表現することが可能である。

【0044】従って、インバータ201を二入力NANDセル200の入出力端子AY間に対しての駆動能力を表す駆動インバータとして、トランジスタレベルのネットリスト106で出力する。

【0045】同様に、二入力NANDセル200の入力端子Bに入力波形が与えられ、出力端子Yが応答する場合、つまり、入力端子Aが電源に接続されている場合であっても、動作しないトランジスタを抵抗に置き換えることで、インバータ202を、二入力NANDセル200の入出力端子BX間に対しての駆動能力を表す駆動インバータとして、トランジスタレベルのネットリスト106で出力する。

【0046】また、駆動インバータ201、202及び二入力NANDセル200において、トランジスタを抵抗に置き換えただけで、入力端子は同じであるので、二入力NANDセル200の入力端子Aへの入力波形は駆動インバータ201への

入力波形と等しく、二入力NANDセル200の入力端子Bへの入力波形は駆動インバータ202への入力波形と等しくなるので、二入力NANDセル200の入力波形(この入力波形はコンディションファイル101に記述されている)を駆動インバータ201、202の入力波形107として出力する。

【0047】次に、第2の駆動インバータ抽出ステップ104について、二入力ANDセル300を用いて説明する。二入力ANDセル300は、構成されるトランジスタNA、NB、PA、PBのソース又はドレインがトランジスタNX、FXのゲートに接続されているので、多段トランジスタ構造セルである。二入力ANDセル300は、NANDセル及びインバータセルを内部ノード301で接続した形であるので、二入力ANDセル300が出力端子に接続された負荷を駆動することと、トランジスタNX、FXで構成されるインバータが前記負荷を駆動することは等しい。そこで、二入力ANDセル300の駆動能力を駆動インバータ302、303で表し、トランジスタレベルのネットリスト108として出力する。

【0048】次に、図1の回路シミュレーションステップ110について説明する。多段トランジスタ構造セルの場合は、一段トランジスタ構造セルと異なり、二入力ANDセル300と駆動インバータセル302、303の入力端子は異なる(即ち、二入力ANDセル300の入力端子は、A又はBであるのに対して、駆動インバータセル302、303の入力端子は内部ノード301(端子名X)である)ために、前記駆動インバータセル302、303の入力波形を、二入力ANDセル300のコンディションファイル101に記載の入力波形から回路シミュレータを用いて計算する。即ち、二入力ANDセル300の入力端子Aの入力波形の傾きがslewで、負荷容量がloadであった場合、SPICE等の回路シミュレータを用いて、二入力ANDセル300の回路シミュレーションを行い、入力波形slewに対する内部ノード301での波形slew'を計算する。

【0049】以上の回路シミュレーションを全ての入力波形傾きと全ての入力端子とに対して行ない、二入力ANDセル300の入力波形傾きに対する内部ノード301の波形を駆動インバータ302、303の入力波形111として出力する。

【0050】次に、図1の第2の遅延ライブラリ生成ステップ112について説明する。第2の遅延ライブラリ生成ステップ112では、一段トランジスタ構造セルの場合は駆動インバータセルのネットリスト106と入力波形107を、多段トランジスタ構造セルの場合は駆動インバータセルのネットリスト108と入力波形111を、従来の遅延ライブラリ109に対して付加し、新しく遅延ライブラリ113を生成する。

【0051】以上のように、全てのCMOS型セルに対して、駆動能力をインバータセルで表す。そして、前記CMOS型セルが駆動する負荷を、抵抗を含んだ特定の形、例えば、抵抗、容量、抵抗の順に接続されている π 型RCネットワークに縮退することにより、任意のセルが任意の

形状の配線ネットワークを駆動する場合であっても、駆動インバータセルが π 型RCネットワークを駆動する形に置き換えて、計算することが可能となる。

【0052】また、駆動インバータセルが π 型RCネットワークを駆動する形で、回路方程式を解くことにより、前記CMOS型セルの入力波形の影響を考慮に入れた出力端子での波形を計算することができるので、抵抗成分の影響を考慮に入れたセル出力波形を計算することが可能な遅延ライブラリを生成できると共に、鈍った形のセル入力波形の影響をも考慮することが可能となる。

【0053】尚、本実施の形態では、駆動インバータを生成する際に、動作しないトランジスタを抵抗に置き換える場合について説明したが、トランジスタ間配線(例えば、トランジスタと、他のトランジスタや電源、接地とを接続する配線)の容量成分を考慮に入れて、アドミッタンスで置き換えてもよい。

【0054】(第2の実施の形態)次に、本発明の第2の実施の形態について、図1、図2、図3及び図4を参照しながら説明する。

【0055】図4は遅延ライブラリを表す図である。同図において、400は一段トランジスタ構造セルの遅延ライブラリ、401は多段トランジスタ構造セルの遅延ライブラリである。

【0056】最初に、二入力NANDセル200の遅延ライブラリ表現400について説明する。二入力NANDセル200の入力波形傾き(コンディションファイル101に記述されている)slew1、slew2、slew3と、負荷容量(コンディションファイル101に記述されている)load1、load2、load3、load4と、それ等の組合せで入出力端子の組合せ毎に回路シミュレーションを行なった二入力NANDセル200のセル遅延時間計算結果delay_ay_1、…、delay_ay_12、delay_by_1、…、delay_by_12とが、第1の遅延ライブラリ生成ステップ105で生成され、遅延ライブラリ109に登録される。

【0057】次に、駆動インバータ201、202のネットリストは、駆動インバータネットリスト_ayと、駆動インバータネットリスト_byとして、第1の駆動インバータ抽出ステップ103で抽出される。

【0058】また、駆動インバータ201、202の入力端子は、二入力NANDセルの入力端子と同じであることので、駆動インバータ201、202への入力波形は、二入力NANDセルへの入力波形と同じslew1、slew2、slew3とする。

【0059】第2の遅延ライブラリ生成ステップ112において、遅延ライブラリ109には、駆動インバータネットリスト_ay、駆動インバータネットリスト_by、駆動インバータ入力波形傾きslew1、slew2、slew3が付加されて、遅延ライブラリ113が生成される。

【0060】以上から、二入力NANDセル200の遅延ライブラリ400には、各入出力端子の組合せ毎、つまり、二入力NANDセル200の入力端子Aと出力端子Yとの組合せ(A

→Y)、入力端子Bと出力端子Yとの組合せ(B→Y)毎に、回路シミュレーションによるセル遅延時間計算結果delay_ay_1、…、delay_ay_12、delay_by_1、…、delay_by_12と、駆動能力を表す駆動インパータのネットリスト_a_y_byと、各駆動インパータへの入力波形傾きslew1、slew2、slew3とが格納される。

【0061】次に、二入力ANDセル300の遅延ライブラリ表現401について説明する。二入力ANDセル300の入力波形傾き(コンディショナファイル101に記述されている)slew1、slew2、slew3と、負荷容量(コンディショナファイル101に記述されている)load1、load2、load3、load4と、それ等々の組合せで、入出力端子の組合せ毎に回路シミュレーションを行なった二入力NANDセル300のセル遅延時間計算結果delay_ay_1、…、delay_ay_12、delay_by_1、…、delay_by_12とが第1の遅延ライブラリ生成ステップ105で生成され、遅延ライブラリ109に登録される。

【0062】次に、駆動インパータ302、303のネットリストは、二入力ANDセル300の最終段インパータとして、第2の駆動インパータ抽出ステップ104で抽出される。

【0063】また、駆動インパータ302、303の入力端子は、二入力ANDセルの入力端子にslew1、slew2、slew3を与えて、回路シミュレーションステップ110で、回路シミュレーションを行ない、内部ノード301での波形を計算し、駆動インパータ302、303各々に、(inv_slew_ay_1、inv_slew_ay_2、inv_slew_ay_3)、(inv_slew_by_1、inv_slew_by_2、inv_slew_by_3)として与える。

【0064】第2の遅延ライブラリ生成ステップ112において、遅延ライブラリ109には、駆動インパータネットリストと、駆動インパータ302への入力波形傾きinv_slew_ay_1、inv_slew_ay_2、inv_slew_ay_3と、駆動インパータ303への入力波形傾きinv_slew_by_1、inv_slew_by_2、inv_slew_by_3とが付加されて、遅延ライブラリ113が生成される。

【0065】以上から、二入力ANDセル300の遅延ライブラリ401には、各入出力端子の組合せ毎、つまり、二入力ANDセル300の入力端子Aと出力端子Yとの組合せ(A→Y)、入力端子Bと出力端子Yとの組合せ(B→Y)毎に、回路シミュレーションによる結果delay_ay_1、…、delay_ay_12、delay_by_1、…、delay_by_12と、駆動能力を表す駆動インパータのネットリストと、駆動インパータ302への入力波形傾きinv_slew_ay_1、inv_slew_ay_2、inv_slew_ay_3と、駆動インパータ303への入力波形傾きinv_slew_by_1、inv_slew_by_2、inv_slew_by_3とが格納される。

【0066】このように、遅延ライブラリ内に、遅延計算を行なうための遅延パラメータに加えて、セルの駆動能力を表す駆動インパータのネットリストと、前記駆動インパータの入力波形とを格納することにより、従来の遅延パラメータだけを用いた遅延計算用ライブラリとし

て用いることが可能であると共に、セル出力端子での波形を、鈍った形のセル入力波形の影響及び負荷の抵抗成分の影響を考慮に入れて計算することも可能な遅延ライブラリとすることができる。

【0067】(第3の実施の形態)続いて、本発明の第3の実施の形態について、図1、図2、図3、図4、図5及び図6を参照しながら説明する。

【0068】図5はセル出力端子での波形生成フロー図、図6は駆動インパータ202を用いた場合のセル出力波形を生成する図である。

【0069】図5において、500はセル接続情報、501は駆動インパータの情報を付加された遅延ライブラリ、502は遅延計算情報、503は駆動インパータモデル生成ステップ、504は動作比率計算ステップ、505は駆動インパータモデル、506はトランジスタ動作比率、507はセル出力波形生成ステップ、508はセル出力波形である。

【0070】また、図6において、600は駆動インパータモデルと負荷容量を示す回路図、601はトランジスタ動作比率、602は定電圧源、603はトランジスタPBのトランジスタサイズから計算される抵抗、604はトランジスタNBのトランジスタサイズから計算される抵抗、605及び606はトランジスタ動作比率を時間の関数で表した関数である。

【0071】最初に、図5における入力について説明する。セル接続情報500は、セルの接続情報と前記セルを接続するセル間配線の抵抗・容量(RC)情報を格納している。例えば、二入力NANDの出力端子Yとバッファの入力端子Aとが接続され、セル間配線には、前記出力端子Yと前記入力端子Aとを接続する抵抗値100Ωの抵抗があり、前記入力端子Aに容量値100ffの容量が接続されているという情報が格納されている。

【0072】遅延ライブラリ501は、前記図4に記載の遅延ライブラリで、セル遅延時間を計算するための遅延パラメータと、セルの駆動能力を表す駆動インパータのネットリストと、前記駆動インパータの入力波形とが格納されている。遅延計算情報502には、セルの入力波形の情報が格納されている。

【0073】次に、図5の駆動インパータモデル生成ステップ503について、二入力NANDセル200の駆動インパータセル202を用いて説明する。駆動インパータセル202において、トランジスタNB、PBのゲート端子に印加される電圧は、入力端子Bに入力される入力波形の傾きに従い変動し、この変動に従ってトランジスタNB、PBのソース・ドレイン間を流れる電流が変化する。そこで、定電圧源を付加すると共に、トランジスタを可変抵抗で表し、前記可変抵抗の抵抗値を変化させることにより、前記可変抵抗を流れる電流を、トランジスタNB、PBを流れる電流と等しくする。前記可変抵抗の抵抗値の決定方法は、後述する動作比率計算ステップ504で詳細に説明する。

【0074】以上のように、トランジスタNB、PBを可変

抵抗に置き換え、定電圧源を接続することで、駆動インバータを抵抗と定電圧源で表した駆動インバータモデル505を作成できる。

【0075】次に、図5の動作比率計算ステップ504について説明する。駆動インバータ202のトランジスタNB、PBのゲートに入力される入力波形は時刻0で電位が電源電圧、時間 T_r で電位が0となる場合、つまり、前記入力波形が傾き T_r で立ち下る場合で、トランジスタNB、PBのスレッシュホールド電圧を V_{th} 、電源電圧を V_{DD} とする。

【0076】前記入力波形の電位が電源電圧の時には、トランジスタNBだけが動作し、トランジスタPBは動作しないので、トランジスタPBの動作比率は0とし、抵抗 R_p を0とする。一方、前記入力波形の電位が0である場合には、トランジスタNBは動作せず、トランジスタPBだけが動作するので、トランジスタNBの動作比率は0とし、抵抗 R_n を0とする。前記入力波形の電位がスレッシュ

(式1) トランジスタNBの抵抗値

$$\begin{aligned} &= 1.0 \times R_n & (t \leq 0.0) \\ &= -0.5 / (T_r \times V_{th} / V_{DD}) \times R_n & (0.0 < t < T_r \times V_{th} / V_{DD}) \\ &= -0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_n & (T_r \times V_{th} / V_{DD} < t < T_r) \\ &= 0.0 & (T_r \leq t) \end{aligned}$$

(式2) トランジスタPBの抵抗値

$$\begin{aligned} &= 0.0 & (t \leq 0.0) \\ &= 0.5 / (T_r \times V_{th} / V_{DD}) \times R_p & (0.0 < t < T_r \times V_{th} / V_{DD}) \\ &= 0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_p & (T_r \times V_{th} / V_{DD} < t < T_r) \\ &= 1.0 \times R_p & (T_r \leq t) \end{aligned}$$

図6の駆動インバータ202の場合、トランジスタ以外に抵抗成分204が存在する。抵抗204は、(式1)で計算されたトランジスタNBの抵抗値と結合して、以降の処理を行なう。

【0079】次に、図5のセル出力波形生成ステップ507について説明する。セル出力波形生成ステップ507では、駆動インバータモデル505とセル接続情報500とを用いて回路方程式を立て、セル出力波形508を生成する。

【0080】駆動インバータモデル505が駆動する負荷 ※

$$(式4) \quad V(t) = (1 - \exp(-(R_n + R_p) \times t / (C \times R_n \times R_p))) \times R_n \times V_{DD} / (R_n + R_p)$$

前記動作比率計算ステップ504で計算されたトランジスタNB、PBの動作比率の時間関数(式1)、(式2)、及び前記(式4)から、前記出力端子 y_i における波形 $V(t)$ は、(式5)

(式5) $V(t)$

$$\begin{aligned} &= 0.0 & (t \leq 0.0) \\ &= (1 - \exp(-((-0.5 / (T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) + (0.5 / (T_r \times V_{th} / V_{DD}) \times R_p)) \times t / (C \times (-0.5 / (T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) \times (0.5 / (T_r \times V_{th} / V_{DD}) \times R_p)))) \times (-0.5 / (T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) \times V_{DD} / ((-0.5 / (T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) + (0.5 / (T_r \times V_{th} / V_{DD}) \times R_p)) & (0.0 < t < T_r \times V_{th} / V_{DD}) \\ &= (1 - \exp(-((-0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) + (0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_p)) \times t / (C \times (-0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) \times (0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_p)))) \times (-0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) \times V_{DD} / ((-0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_n + \text{抵抗204}) & (T_r \times V_{th} / V_{DD} < t < T_r) \\ &= 1.0 \times V_{DD} & (T_r \leq t) \end{aligned}$$

*ルド電圧 V_{th} である場合には、トランジスタNB、PBが共に同じ割合で動作するので、トランジスタNB、PB共に動作比率は0.5となり、各々の抵抗値 R_n 、 R_p は、 $0.5 \times R_n$ 、 $0.5 \times R_p$ となる。上記三つの状態を用いて、前記入力信号波形がその他の電位の場合は、線形補間することにより計算する。例えば、前記入力波形の電位が、 $0.5 \times V_{th}$ の場合には、前記入力波形の電位が0の場合と V_{th} の場合とを用いて線形補間することにより、トランジスタNBの動作比率は0.25で、トランジスタPBの動作比率は0.75となり、各々の抵抗値は、 $0.25 \times R_n$ 、 $0.75 \times R_p$ となる。

【0077】以上のことから、トランジスタNBの動作比率を時間の関数(式1)で、トランジスタPBの動作比率の時間の関数(式2)で各々表すことが可能である。

【0078】

※が負荷容量Cだけの場合には、駆動インバータモデル505と前記負荷容量とを組み合わせ、回路600を生成し、回路600の出力端子 y_i における波形 $V(s)$ の回路方程式(式3)を立てる

$$(式3) \quad V(s) = (V_{DD}/s) \times (1 + R_p \times (1/R_n + s \times C))$$

前記(式3)を、逆ラプラス変換することで(式4)が得られる。

【0081】

【0082】

$$+ (0.5 / (T_r - T_r \times V_{th} / V_{DD}) \times R_p)) \\ (T_r \times V_{th} / V_{DD} < t < T_r) \\ = V_{DD} \quad (T_r \leq t)$$

回路600の出力端子Yにおける波形は、二入力NANDセル200の出力端子での波形と同一であるので、(式5)は二入力NANDセル200の出力波形と等しい。

【0083】以上のように、前記(式5)で表されるセルの出力波形は、入力波形の傾き T_r の関数となっているので、鈍った形の入力波形の影響を考慮に入れたセル出力波形の計算をすることが可能である。

【0084】尚、本実施の形態では、駆動インバータセル202が負荷容量Cを駆動する場合について説明したが、任意の抵抗値及び容量値を持つ配線ネットワークでも、同様に回路方程式を立てることにより、セル入力波形に対するセル出力波形を計算することができ、駆動される抵抗成分をも考慮に入れたセル出力波形計算を計算することが可能である。

【0085】また、一段トランジスタ構造セルのセル出力波形生成方法について説明したが、多段トランジスタ構造セルに関しても、前記多段トランジスタ構造の駆動インバータの入力波形を用いて、同様の計算を行なうことにより、セル出力波形を計算することができる。

【0086】更に、駆動インバータモデルを抵抗だけのモデルの場合について説明したが、トランジスタ間配線(トランジスタと、トランジスタ、電源又は接地とを接続する配線)の容量成分を考慮に入れて、アドミッタンスでモデル化した場合であっても、同様に回路方程式を立てることで計算できる。

【0087】加えて、トランジスタの動作比率を3点で折れ線近似して、前記3点以外の点を補間する方法について説明したが、任意の曲線を用いて前記3点を近似した場合であっても、同様の計算でセル出力波形を計算することができる。

【0088】

【発明の効果】以上説明したように、請求項1ないし請求項8記載の発明によれば、鈍った形のセル入力波形の影響及び負荷の抵抗成分の影響を考慮に入れたセル出力波形を計算することが可能であるので、セル遅延時間及び配線遅延時間を精度良く見積もることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示し、遅延ライブラリの生成フローを示す図である。

【図2】同実施の形態を示し、一段トランジスタ構造セルへの適用を説明した図である。

【図3】同多段トランジスタ構造セルへの適用を説明した図である。

10 【図4】本発明の第2の実施の形態を示す遅延ライブラリの構成図である。

【図5】本発明の第3の実施の形態を示し、セル出力波形の生成フローを示す図である。

【図6】同実施の形態を示し、一段トランジスタ構造セルへの適用を説明した図である。

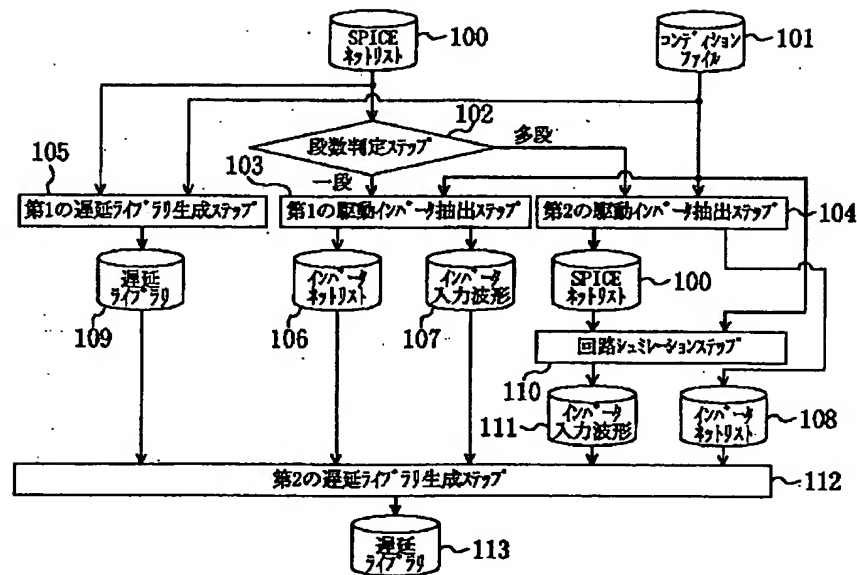
【図7】(a)は従来のセル遅延ライブラリのキャラクタライズ方法を示す図、(b)は従来のセル遅延ライブラリの表現を示す図である。

20 【図8】(a)及び(b)は他の従来のセル遅延ライブラリのキャラクタライズ方法を示す図である。

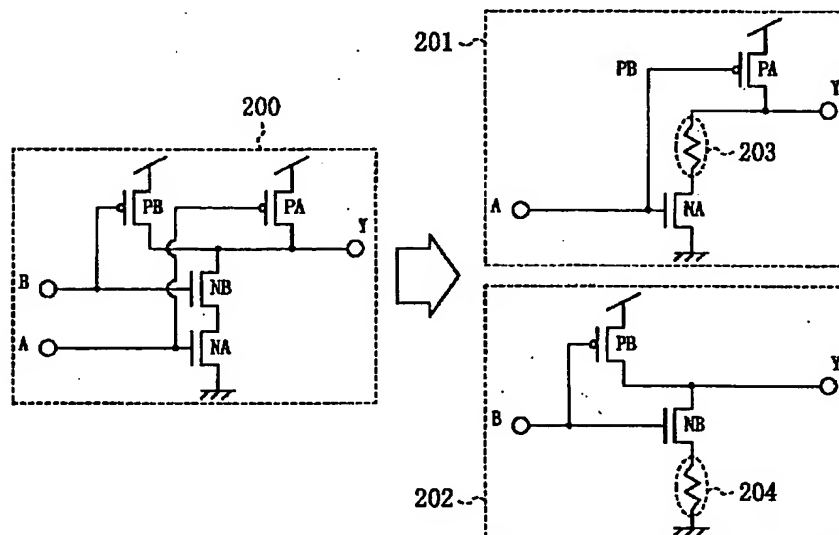
【符号の説明】

102	段数判定ステップ
103	第1の駆動インバータ抽出ステップ
104	第2の駆動インバータ抽出ステップ
106	駆動インバータネットリスト
107	駆動インバータ入力波形
108	駆動インバータネットリスト
111	駆動インバータ入力波形
112	第2の遅延ライブラリ生成ステップ
30 400	一段トランジスタ構造セルの遅延ライブラリ
401	多段トランジスタ構造セルの遅延ライブラリ
503	駆動インバータモデル生成ステップ
504	動作比率計算ステップ
505	駆動インバータモデル
507	セル出力波形生成ステップ
601	トランジスタ動作比率
602	定電流源
40 603、604	トランジスタに相当する抵抗

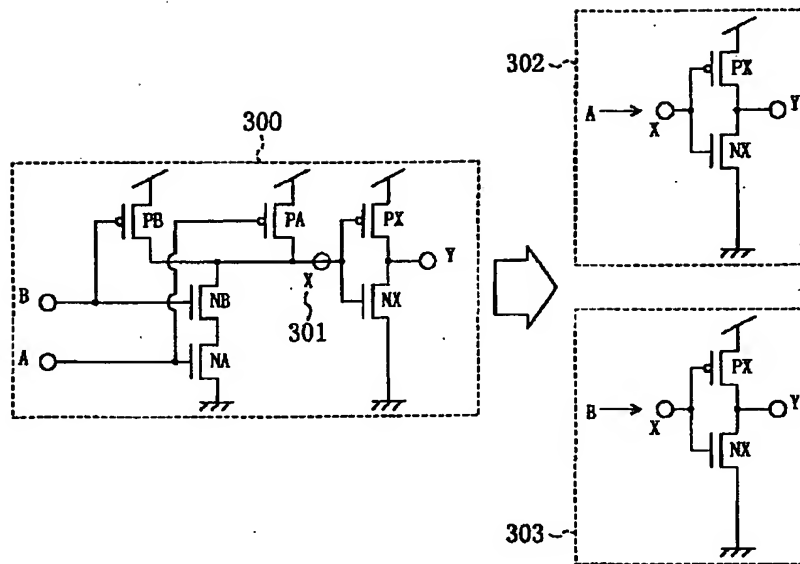
【 図1 】



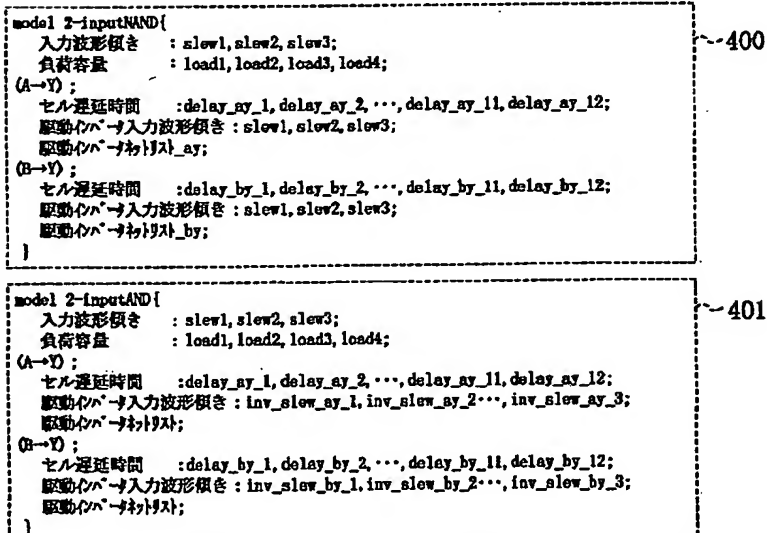
【 図2 】



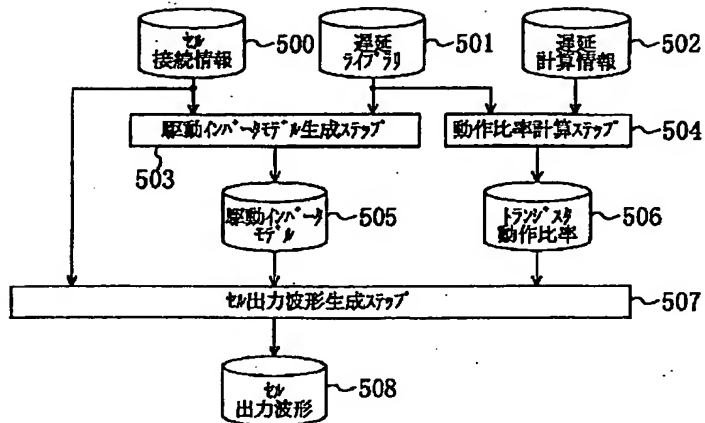
【 図3 】



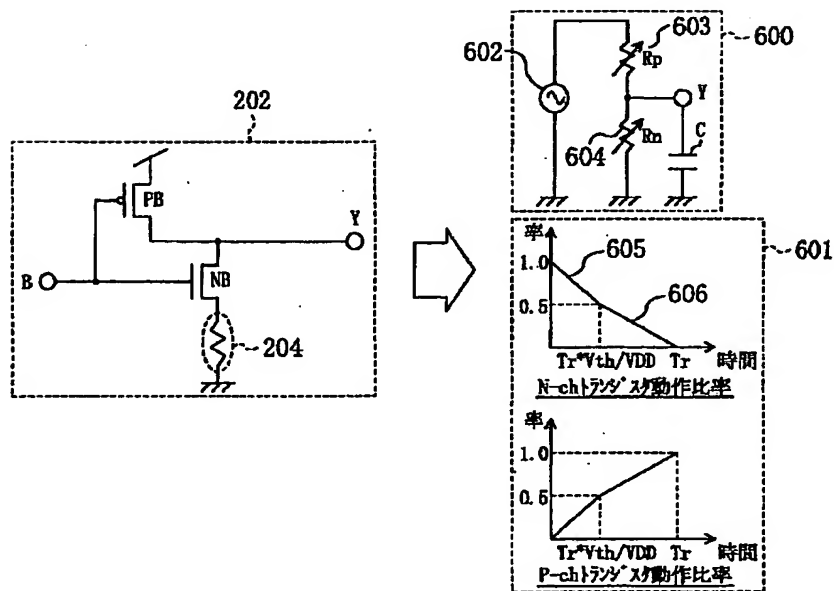
【 図4 】



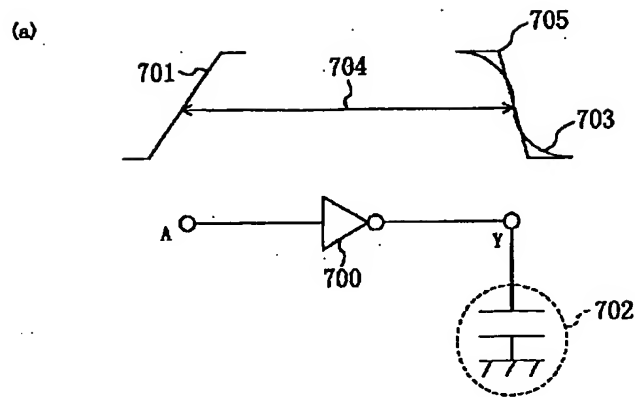
【図5】



【図6】



【 図7 】



(b)

入力波形傾き	負荷容量	遅延時間	出力波形傾き
input_slew_1	load_1	delay_1×1	output_slew_1×1
...
input_slew_n	load_n	delay_n×n	output_slew_n×n

706

【 図8 】

